

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177529

(43)Date of publication of application : 02.07.1999

(51)Int. Cl.

H04J 13/04
H03K 3/84

Best Available Copy

(21)Application number : 10-237841

(71)Applicant : KOREA ELECTRON TELECOMMUN
KOREA TELECOMMUN

(22)Date of filing : 24.08.1998

(72)Inventor : GYO EKISHU
TEI KOICHI
KIM KYUNG-SOO

(30)Priority

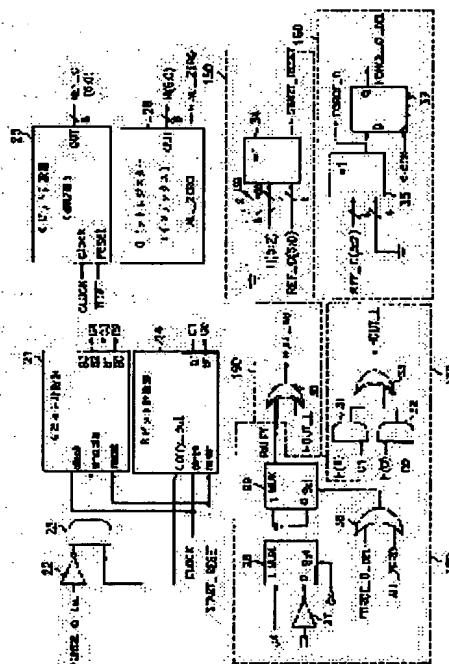
Priority number : 97 9754784 Priority date : 24.10.1997 Priority country : KR

(54) HADAMARD CODE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the Hadamard code generating circuit by which 48th Hadamard code among orthogonal codes required to generate a signal or to extract the generated signal in the CDMA communication system.

SOLUTION: The 48th Hadamard code generating circuit is made up of a 2-bit counter 24 that generates 4th Hadamard codes in low-order 2-bit, a 4-bit counter 21 that is operated by a carry output of the 2-bit counter 24 and produces a high-order Paley code having 12 states, a 6-bit reference counter 25 having 48 states by external reset, a 6-bit register 26 that stores an index value, and an exclusive OR gate 30 that exclusively Ors the high-order 12 Paley code and the 4th Hadamard code in the low-order 2-bit to produce the final 48th Hadamard code.



LEGAL STATUS

[Date of request for examination] 26.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3094290

[Date of registration] 04.08.2000

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177529

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 J 13/04

H 0 4 J 13/00

G

H 0 3 K 3/84

H 0 3 K 3/84

Z

審査請求 有 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願平10-237841

(22) 出願日 平成10年(1998) 8月24日

(31) 優先権主張番号 1 9 9 7 / P 5 4 7 8 4

(32) 優先日 1997年10月24日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596180076

韓国電子通信研究院

大韓民国大田廣域市儒城區柯亭洞161

(71) 出願人 394027641

韓国電気通信公社

大韓民国ソウル特別市鍾路區世宗路100

(72) 発明者 魚 益 秀

大韓民国 大田廣域市 儒城區 魚隱洞

99 ハン ビッ アパート 102洞 504戸

(72) 発明者 延 光 一

大韓民国 大田廣域市 儒城區 魚隱洞

ハンビッ アパート 136洞 502戸

(74) 代理人 弁理士 瀬谷 徹 (外2名)

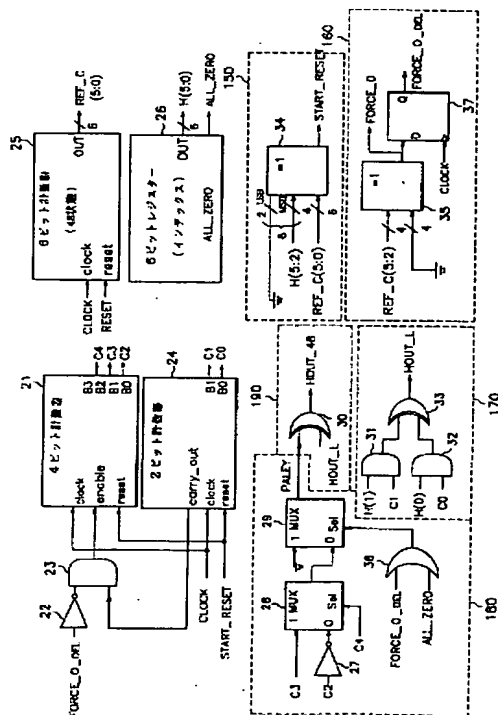
最終頁に続く

(54) 【発明の名称】 ハダマドコード生成回路

(57) 【要約】

【課題】 CDMA通信システムにおいて、信号の生成や生成された信号を抽出する際に必要な直交コードの中、48次ハダマドコードを生成することができるハダマド生成回路を提供する。

【解決手段】 前記48次ハダマドコード生成回路は、下位2ビットの4次ハダマドコードを生成する2ビット計数器24と、前記2ビット計数器のキャリ出力によって動作され12状態を有する上位Paleyコードを生成する4ビット計数器21と、外部のリセットによって48状態を有する6ビットの基準計数器25と、インデックスの値を貯蔵するための6ビットのレジスター26と、前記上位12Paleyコードと前記下位2ビットの4次ハダマドコードとを論理演算して、最終の48次ハダマドコードを生成する排他的論理和ゲート(30)とで構成する。



【特許請求の範囲】

【請求項 1】 外部のリセット信号によって48状態を有する出力(REFC)を行なう6ビット基準計数器25と、0行の全てのビットが0であることが検出されたオールゼロ(ALLZERO)信号を出力し、6ビットのインデックス値が貯蔵された6ビットレジスタ26と、前記6ビット基準計数器の6ビット出力(REF C)と、前記6ビットレジスタ上位の4ビットのインデックス出力[H(5:2)]、及びグラウンドからの2ビットの値が同一の場合、スタートリセット(START RESET)信号を発生するスタートリセット信号発生部150と、前記6ビット基準計数器の上位4ビットの出力[REF C(5:2)]と、グラウンドからの4ビットの値が同一である場合、0行の全ての値を強制的に0として割り当てるためのゼロ値強制割当(FORCE 0 DEL)信号を出力する'0'値強制割当部160と、前記のスタートリセット信号と外部のクロックとを与えられ、最下位のビット(C1, C0)を出力し、さらにキャリア信号を出力する2ビット計数器24と、前記のゼロ値強制割当信号が反転した結果と、前記キャリア出力が論理積された結果によって動作され、上位ビットC4, C3, C2を出力する4ビット計数器21と、前記2ビット計数器の下位2ビット出力と前記6ビットレジスタの下位2ビットインデックスの値を論理演算して、4次ハダマドコードを生成する4次ハダマドコード生成部170と、前記計数器21の出力、前記ゼロ値強制割当信号、オールゼロ信号とを用いて12次Paleyコードを生成する12次Paleyコード生成部180と、及び、前記の出力された4次ハダマドコードと12次Paleyコードとを論理演算して48次ハダマドコードを生成する48次ハダマドコード生成部190と、で構成されることを特徴とするハダマドコード生成回路。

【請求項 2】 前記'0'値の強制割当部160は、比較記35と、その比較器の出力を所定時間遅延させて出力するD-フリップ・フロップ37とで構成されることを特徴とする請求項1記載のハダマドコード生成回路。

【請求項 3】 前記12次Paleyコード生成部180は、前記計数器21の出力C2を反転する反転ゲート27と、その反転された出力C2、あるいは前記出力C3を前記出力C4の制御によって選択する選択器28と、前記ゼロ値強制割当信号とオールゼロ信号との論理演算によって、強いてPaleyコードに'0'を印加するための論理和(OR)ゲート36と、及び前記論理和ゲート36の出力によって前記選択器から選択された出力を12次Paleyコードとして出力する選択器29とで構成することを特徴とする請求項1記載のハダマドコード生成回路。

【請求項 4】 前記48次ハダマドコード生成部190は、排他的論理和(XOR)ゲートで構成されることを特徴とする請求項1記載のハダマドコード生成回路。

【請求項 5】 外部のリセット信号によって48状態を有する出力(REFC)をする6ビット基準計数器55と、0行の全てのビットが0であることが検出されたオールゼロ信号を出力し、6ビットのインデックス値が貯蔵された6ビットレジスタ56と、前記上位4ビットのインデックス出力[H(5:2)]、あるいは、グラウンドからの4ビット信号を外部から提供されたモード信号(MODE)によって選択し、その選択された信号と前記基準計数器55の出力とが同一の場合、スタートリセット信号(START RESET)を発生するスタートリセット信号発生部151と、前記6ビット基準計数器55の上位4ビットの出力[REF C(5:2)]と、グラウンドからの4ビットの値とが同一である場合、0行の全ての値を強いて'0'として割り当てるためのゼロ値強制割当信号を出力する'0'値強制割当部161と、前記のスタートリセット信号と外部のクロックとを与えられ、最下位のビット(C1, C0)を出力し、さらにキャリア信号を出力する2ビット計数器54と、前記のゼロ値強制割当信号と選択モード(MODE)信号とが否論理積された結果と、前記キャリア出力が論理積された結果とによって動作し、上位ビットC5, C4, C3, C2を出力する4ビット計数器51と、前記2ビット計数器と4ビット計数器との出力と、前記6ビットレジスタの6ビットインデックス値とを論理演算して、4次ハダマドコード、及び64ハダマドコードを生成する4次及び64次のハダマドコード生成部171と、前記4ビット計数器51の出力、前記ゼロ値強制割当信号、オールゼロ信号とを用いて12次Paleyコードを生成する12次Paleyコード生成部181と、前記出力された4次ハダマドコードと12次Paleyコードとを論理演算して、48次ハダマドコードを生成する48次ハダマドコード生成部191と、及び前記出力された48次、あるいは64次ハダマドコードを前記選択モードの制御によって選択的に出力する選択器73とで構成されることを特徴とするハダマドコード生成回路。

【請求項 6】 前記4次及び64次のハダマドコード生成部171は、前記6ビットレジスタ56の下位2ビット出力H(1:0)と前記2ビット計数器54の下位2ビット出力(C1 : C0)とをそれぞれ論理積ゲート67、68で論理演算した後、その結果を排他的論理和ゲート71で論理演算して4次ハダマドコードを生成し、前記上位の4ビット出力H(5:2)と前記4ビット計数器51の出力(C5:C2)とをそれぞれ論理積ゲート(66 ~ 63)で論理演算した後、その結果を排他的論理和ゲート70、69で論理演算し、この論理演算された結果と前記生成された4次ハダマドコードとをさらに排他的論理和ゲート72で論理演算して、最終的に64次ハダマドコードを生成す

ることを特徴とする請求項 5 記載のハダマドコード生成回路。

【請求項 7】 前記選択器 73 は、マルチプレクサ (MUX) が用いられたことを特徴とする請求項 6 記載のハダマドコード生成回路。

【請求項 8】 外部のリセット信号によって 48 状態を有する出力 (REFC) をし、さらに基準キャリア出力 (REF CARRY OUT) をする 6 ビット基準計数器 86 と、
0 行の全てのビットが 0 であることが検出されたオール
ゼロ信号を出力し、7 ビットのインデックス値が貯蔵さ
れた 7 ビットレジスタ 87 と、

前記上位 4 ビットのインデックス出力 [H(5:2)]、ある
いは、グラウンドからの 4 ビット信号を外部から提供さ
れたモード (MODE) 信号によって選択し、その選択された
信号と前記基準計数器 86 の出力が同一の場合、スタート
リセット (START-RESET) 信号を発生するスタートリセッ
ト信号発生部 152 と、

前記 6 ビット基準計数器 86 の上位 4 ビットの出力 [REF
C(5:2)] と、グラウンドからの 4 ビットの値が同一であ
る場合、0 行の全ての値を強いて '0' として割り当てる
ためのゼロ値強制割当信号を出力する '0' 値強制割当部
162 と、

前記のスタートリセット信号と外部のクロックとを与え
られて最下位のビット (C1, C0) を出力し、さらにキャリ
ー信号を出力する 2 ビット計数器 83 と、

前記のゼロ値強制割当信号と選択モード (MODE) 信号とが
否論理積された結果と、前記キャリア出力が論理積され
た結果とによって動作され、上位ビット C5, C4, C3, C2
を出力する 4 ビット計数器 82 と、

前記 6 ビット計数器 86 の基準キャリアの出力によって動
作し、最上位のビット C6 を出力する 1 ビット計数器 81
と、

前記 2 ビット計数器及び 4 ビット計数器との出力と、前
記 6 ビットレジスタの 6 ビットインデックス値とを論
理演算して、4 次ハダマドコード及び 64 次ハダマドコード
を生成する 4 次及び 64 次のハダマドコード生成部 172
と、

前記 4 ビット計数器 82 の出力、前記ゼロ値強制割当信
号、オールゼロ信号とを用いて 12 次 Paley コードを生成
する 12 次 Paley コード生成部 182 と、

前記出力された 4 次ハダマドコードと 12 次 Paley コード
とを論理演算して、48 次ハダマドコードを生成する 48 次
ハダマドコード生成部 192 と、及び前記 1 ビット計数器
の出力 (C6) と 7 ビットレジスタの出力 [H(6)] とが論
理積された結果とを、モード信号が '1' である場合、前
記出力された 48 次ハダマドコードと排他的論理和して 96
次ハダマドコードを生成し、モード信号が '0' である場
合、前記出力された 64 次ハダマドコードと排他的論理和
して 128 次ハダマドコードを生成する 96 次、及び 128 次
のハダマドコード生成部 200 と、で構成されることを特

徴とするハダマドコード生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はコード分割多重接続
方式 (以下、'CDMA' と称する) の無線通信システムに
用いられ、多重加入者の使用を支援するためのハダマド
コード生成回路に関し、特に、移動通信のチャンネルと
使用者とを分離するために用いられる直交コードの中、
48 次ハダマドコード (Hadamard code)、あるいは、こ
の 48 次ハダマドコードと、それ以上の拡張されたハダマ
ドコードとを同時に生成するためのハダマドコード生成
回路に関する。

【0002】

【従来の技術】 一般に、CDMA 通信システムにおいて、チ
ャンネルを区分するために直交コード (Quadrature Cod
e) を使用する。このような直交コードは、使用者を分
離したり、あるいはコードの直交性を用いて信号の変調
時に使用される。従って、CDMA 通信システムにおいて信
号を生成したりその生成された信号を抽出する時、直交
コードを生成する直交コード生成器が必要である。また、
通信サービスを多様化するためには、現在、増加し
つつある使用者を受け入れなければならない、このため
には、直交コードを多重コードとして生成する必要がある。

【0003】 このような必要性に応じて、多重コードを
生成するための先行特許の一例として、" ワールシコー
ド (Walsh codes) 発生方法及び装置「米国特許第 5, 31
1, 176 号」" では、64 次ハダマドコードだけを生成する
技術が開示されている。さらに、従来の技術の他の例を
図 9 を参照して説明する。図 9 は、4 次ハダマドコード
と 64 次ハダマドコードとを生成することができるハダマ
ドコード生成回路を示している。この図面を参照してハ
ダマドコードを生成する動作を調べて見れば次のようである。

【0004】 2 ビット計数器 112 の出力 (C0, C1) と 6
ビットレジスタ 114 のインデックス [H(5:0)] の中、
下位 2 ビット [H(1:0)] の出力を入力に受け入れた二つ
の論理積 (AND) ゲート (118, 119) は論理積を遂行す
る。その論理積された各結果を入力に受け入れた排他的
論理和 (XOR) ゲート (124) では排他的論理和を取っ
て、結局、下位 2 ビットの 4 次ハダマドコード (HOUTL)
を生成する。

【0005】 さらに、前記 2 ビット計数器 112 から出力
したキャリア信号 (Carry-out) を入力に受け入れ、4
ビット計数器 113 がイネーブル、あるいはディスエーブル
される。これによって、4 ビット計数器 113 の出力
(C5, C4, C3, C2) と 6 ビットレジスタ 114 のインデ
ックスの中、上位 4 ビット [H(5:2)] の出力をそれぞれ
入力に受け入れた AND ゲート (120, 121, 122, 123) の論理
積の結果を受け入れ、XOR ゲート (125, 126) からは排他

的論理和を取る。そのXOR ゲート (125, 126) からそれぞれ出力した結果と前記XOR ゲート (124) から出力した4次ハダマドコード値とをさらにXOR ゲート (127) から排他的論理和を取って、結局64次ハダマドコード (HOUT 64) を作る。

【0006】また、従来のハダマドコード生成回路は、計数器、及び選択器を使用し、このとき選択されて出力するモード (mode) 信号の2進和によって最終のハダマドコードを生成する構造である。この構造を用いて4次、8次、16次、32次、及び64次ハダマドコードを生成することができ、それから、具現しようとする次数に従って計数器を1ビット、2ビット、3ビット、4ビット、5ビット、及び6ビット等の大ききで構成する。併せて、この計数器の出力を選択する値は所定のビットのレジスターに貯蔵されたインデックスによって決められる。このレジスターに2進数で表示されたコードインデックスと、計数器の出力とを論理積 (AND) ゲートで掛け、選択された計数器の出力を2進和を行なって最終のハダマドコードを生成する。

【0007】前述の内容に附加して4次ハダマドコードにつき説明する。ハダマド行列の要素は、1, -1の代わりに、0, 1を用いたものであって、0, 1を用いれば数1, 及び数2のような行列となる。

【0008】

【数1】

$$H_2 = \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix}$$

【0009】

【数2】

$$H_4 = \begin{bmatrix} H_2 & H_2 \\ H_2 & \overline{H_2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix}$$

【0010】

【数3】

$$H_{2^n} = \begin{bmatrix} H_{2^{n-1}} & H_{2^{n-1}} \\ H_{2^{n-1}} & \overline{H_{2^{n-1}}} \end{bmatrix}$$

【0011】上の数3の

【0012】

【数4】

$$\overline{H_{2^{n-1}}}$$

【0013】は、

【0014】

【数5】

$$H_{2^{n-1}}$$

【0015】に対して、0, 1を相互交叉しておいた補行列である。例えば、

【0016】

【数6】

$$\overline{H_{2^{n-1}}}$$

【0017】と、

【0018】

【数7】

$$H_{2^{n-1}}$$

【0019】によってブロックの長さ4の線型2進符号が可能である。前述のように、CDMA通信システムに用いられる直交コードの中には、従来のものとして4次、8次、16次、32次、64次のハダマドコードはあったが、48次ハダマドコードと、48次及び、64次を同時に生成することができるハダマドコードとの生成回路に関する技術はなかった。従って、徐々に広がる帯域幅によって受容可能な使用者の数が増加し、この増加する使用者を受容するために直交コードもやはり拡張機能を準備する必要がある。しかし、従来の直交コードによっては拡張可能なハダマドコードの生成回路を構成することができないという問題点がある。

【0020】

【発明が解決しようとする課題】前記の問題点を解決するための本発明の目的は、CDMA通信システムにおいて、信号を生成したり、生成された信号を抽出するとき必要な直交コードの中、48次ハダマドコードを生成することができるハダマドコード生成回路を提供することにある。本発明の他の目的は、現在の通信サービスの多様化のために多重コード使用の必要性によって48次ハダマドコードと64次ハダマドコードとを同時に生成することができるハダマドコード生成回路を提供することにある。本発明のさらに他の目的は、48次及び64次のハダマドコード生成回路を用いてより高い次数のハダマドコードを生成することができるハダマドコードの生成回路を提供することにある。

【0021】

【課題を解決するための手段】前記のような目的を達するための本発明の一特徴である48次ハダマドコード生成回路は、外部のリセット信号によって48状態を有する出力 (REF C) を行なう6ビット基準計数器と、0行の全てのビットが0であることが検出されたオールゼロ信号を出力し、6ビットのインデックス値が貯蔵された6ビットレジスターと、前記6ビット基準計数器の6ビット出力 (REF C) と、前記6ビットレジスター上位の4ビットのインデックス出力 [H(5:2)]、及びグラウンドからの2の値が同じである場合、スタートリセット (START RES

ET) 信号を発生するスタートリセット信号発生部と、前記 6 ビット基準計数器の上位 4 ビットの出力〔REFC(5:2)〕と、グラウンドからの 4 ビットの値が同じである場合、0 行の全ての値を強いて '0' として割り当てるためのゼロ値強制割当信号を出力する '0' 値強制割当部と、前記スタートリセット信号と外部のクロックとを与えられて最下位のビット(C1,C0)を出力し、キャリー信号を出力する 2 ビット計数器と、前記のゼロ値強制割当信号が反転した結果と、前記キャリー出力が論理積した結果とによって動作して上位ビット C4, C3, C2 を出力する 4 ビット計数器と、前記 2 ビット計数器の下位 2 ビット出力と前記 6 ビットレジスターの下位 2 ビットインデックス値とを論理演算して 4 次ハダマドコードを生成する 4 次ハダマドコード生成部と、前記計数器 21 の出力、前記ゼロ値強制割当信号、オールゼロ信号とを用いて 12 次 Paley コードを生成する 12 次 Paley コード生成部と、及び前期出力された 4 次ハダマドコードと 12 次 Paley コードとを論理演算して 48 次ハダマドコードを生成する 48 次ハダマドコード生成部とで構成される。

【0022】前記の '0' 値の強制割当部は、比較器と、その比較器の出力を所定時間遅延させて出力する D-フリップ・フロップとで構成される。12 次 Paley コード生成部は、4 ビット計数器の出力 C2 を反転する反転ゲートと、その反転された出力 C2、あるいは前記出力 C3 を前記出力 C4 の制御によって選択する選択器と、前記ゼロ値強制割当信号とオールゼロ信号との論理演算によって強いて Paley コードに '0' を印加するための論理和 (OR) ゲートと、及び前記 OR ゲートの出力に依拠して前記選択器で選択された出力を 12 次 Paley コードとして出力する他の選択器とで構成される。前記 48 次ハダマドコード生成部は排他的論理和 (XOR) ゲートを用いることができる。

【0023】本発明の他の特徴である 48 次と 64 次とのハダマドコード生成回路は、前記 48 次ハダマドコード生成回路に前記 2 ビット計数器及び 4 ビット計数器との出力と、前記 6 ビットレジスターの 6 ビットインデックスの値とを論理演算して 4 次ハダマドコード及び 64 次ハダマドコードとを生成する 4 次及び 64 次ハダマドコード生成部と、48 次、あるいは 64 次とのハダマドコードを選択モードの制御によって選択的に出力する選択器をさらに含んで構成したものである。ここで選択器はマルチプレクサ (MUX) を全部使用する。

【0024】本発明のもう他の特徴である 96 次、及び 128 次ハダマドコード生成回路は、前記 48 次、及び 64 次のハダマドコード生成回路に、前記 6 ビット基準計数器から出力された基準キャリー出力によって動作する 1 ビッ

ト計数器と、前記 1 ビット計数器の出力 (C6) と 7 ビットレジスターの出力 (H(6)) とが論理積された結果を、モード信号が '1' である場合、前記出力された 48 次ハダマドコードと排他的論理和して 96 次ハダマドコードを生成し、モード信号が '0' である場合、前記出力されたハダマドコードと排他的論理和して 128 次ハダマドコードを生成する 96 次及び 128 次のハダマドコード生成部をさらに含んで構成される。

【0025】

【発明の実施の形態】以下、本発明の好ましい実施の形態を添付した図面を参照して説明する。まず、48 次ハダマドコードを生成するために必要な 12 次 Paley コードを生成する方法に関して説明する。12 次 Paley コードは以下の数 4 によって生成される。

【0026】

【数 8】

$$H_n = \begin{bmatrix} 1 & 1 \\ 1^T & Q_{n-1} - I_{n-1} \end{bmatrix}$$

$$q_{ij} = x(j-i)$$

【0027】 $X(X)=0$ 、 x が p の倍数である場合 (0 if x is a multiple of p)

$X(X)=1$ 、 x がモジュロ p の 2 次の残りである場合 (1 if x is a quadratic residue modulo p)

$X(X)=-1$ 、 x がモジュロ p の 2 次の残りでない場合 (-1 if x is a quadratic nonresidue modulo p)

0 0

1 1 =mod(1/11)

2 4 =mod(4/11)

3 9 =mod(9/11)

4 5 =mod(16/11)

5 3 =mod(25/11)

6 3 =mod(36/11)

7 5 =mod(49/11)

8 9 =mod(64/11)

9 4 =mod(81/11)

10 1 =mod(100/11)

前記数 4 で求めた残りの値を用いて得られた Jacobsthal 行列 (matrix) Q_p の第 0 行の要素 q_{0j} は次の表 1 のようである。

【0028】

【表 1】

0	1	2	3	4	5	6	7	8	9	10
-1	1	-1	1	1	1	-1	-1	-1	1	-1

【0029】ここで、-1を1と、1を0と交換すれば下記の表2のような12次ハダマドコードとなる。

【0030】

【表2】

	0 0 0 0 0 1 2 3	0 0 0 0 4 5 6 7	0 0 1 1 8 9 0 1
0	0 0 0 0	0 0 0 0	0 0 0 0
1	0 1 0 1	0 0 0 1	1 1 0 1
2	0 1 1 0	1 0 0 0	1 1 1 0
3	0 0 1 1	0 1 0 0	0 1 1 1
4	0 1 0 1	1 0 1 0	0 0 1 1
5	0 1 1 0	1 1 0 1	0 0 0 1
6	0 1 1 1	0 1 1 0	1 0 0 0
7	0 0 1 1	1 0 1 1	0 1 0 0
8	0 0 0 1	1 1 0 1	1 0 1 0
9	0 0 0 0	1 1 1 0	1 1 0 1
10	0 1 0 0	0 1 1 1	0 1 1 0
11	0 0 1 0	0 0 1 1	1 0 1 1

【0031】前記の12次Paleyコードは、第0行と第0列の全ての要素が'0'であり、第1行の第1列から第11列の第11列は1010/0011/101の順序でコードが生成される。それから第2行の第1列は第1行第11列から第11列までの順序でコードを生成する。即ち、第1行の1010/0011/101の値が1101/0001/110の順に変更されて第2行で形成される。このような特性は、第3行及びその下の全ての行において、前の行の最後の列の値が新たな行の第1列の値となり、それ以後の列の値が順次的に遅延されるということである。上述の特性において、第1行の第1列の1010/0011/101の値が循環されることが分かる。そして、1010/0011/101の特性は3ビット計数器(counter)のLSB(Least Significant Bit)、及び2番目の下位ビットの出力が交互に出力されるということである。前記1番目のLSB及び2番目のLSBの値は3番目のLSBによって選択される。そして、第0行の値は常に'0'を持つ。従って、ハダマドコードインデックスの値がら計数器の始作時間を決め、外部の基準時間に第0行が'0'を持つようにすれば、12次Paleyコード生成回路が製造される。

【0032】〔第1の実施の形態〕図1は、12次Paleyコードを生成するための回路図である。図1を参照して12次Paleyコードを生成する回路について説明する。図1において、4ビット基準計数器2は、外部のリセット信号によって12個の状態を有する。それから、4ビットレジスタ7に貯蔵されたインデックスと4ビット基準計数器2の出力とを比較器によって比較して、二つの値が同一の場合、4ビットPaley計数器1のリセット信号

(START RESET)を作る。従って、4ビットPaley計数器1のリセット信号(START RESET)は、与えられるインデックスの値によって異なる時間帯から製造される。それから、外部のリセット信号(RESET)が'1'となる区間では、そのリセット信号が反転ゲート9を通じて否論理の結果が出力される。この出力とクロックとをANDゲート10で論理積することによって、結局、外部のリセット信号(RESET)が'1'となる区間では、4ビットPaley計数器1は動作しない。

10 【0033】そして、12次Paleyコードの特性は、常に1番目の列と1番目の行の値が0であり、第1行の第1列から第11列までの値が'10100011101'であって、これらの値を順次的に出力するということである。この値等を分析してみれば、1010/0011/101の値等が繰り返して出力されるということがわかる。一方、4ビットPaley計数器1のLSB(C0)は、'01010101'値を繰り返して作っており、2番目のLSB(C1)は'00110011'の値を繰り返して作っている。結局、第1行の第1列から第11列までの値は、計数器1の出力信号LSB(C0)が反転ゲート5から反転された値が4回出力され、計数器1の2番目のLSB(C1)信号が4回出力され、さらに計数器のLSB(C0)が3回出力される形態を取っている。この二つの信号C0、C1は、交互に出力される。この二つの信号を択する信号は、前記4ビットのPaley計数器1から出力されたC2信号の制御によって選択器3から選択される。即ち、C2が0となる場合には、反転ゲート5から反転されたC0信号が出力されるし、C2が1となる場合にはC1信号が出力される。このように選択器3から出力された信号は、4ビットレジスタ7から出力されたオールゼロ信号と、外部のリセット(RESET)信号を論理和ゲート11から論理和した選択信号によって選択器4から選択されて最終的にPaleyコードを生成する。このような動作を具現するために反転ゲート5、及び選択器3、4、論理和ゲート11とを使用した。

【0034】それから、外部のリセット信号(reset)によって計数器の動作が中止されることによって一つの状態が発生し、全体的に12個の信号が発生する。外部のリセット信号によって第1列の0信号が作られる。Paleyコードの循環特性は、各インデックスの値と4ビットのPaley計数器1の出力とが同一である場合に、比較器8から発生するリセット信号(STA RT RESET)によって製造されるということである。

【0035】一方、第0行の全ての値が0となる理由は、強いて'0'を入れる方法(Force0 DEL)と同一に4ビットレジスタ7の全てのビットが'0'ということを検出して信号(all-zero)を作り、強いて全ての出力を'0'に作るためである。図2は、図1の回路を用いて12次のPaleyコードを生成する場合の信号波形を示した図面である。図1を用いて12次Paleyコードを生成する回路について説明する。

【0036】外部のリセット信号によって4ビット基準計数器2の出力は'0'となる。計数器2の出力が4ビットレジスタ7のインデックス値と同一である場合、計数器1にリセット信号が印加される。これ以後に生成される計数器1の出力値によって生成されるPaleyコードは'XXXXX1010001/011011010001/011011010001'の順で作られる。これは、表3の48次ハダマドコード表における0, 4, 8, 12, 16, 20, 24, 28, 32, 36, 40, 44と同様である。四角の中の0は、外部のリセット信号によって強いて挿入されることによって作られたものである。

【0037】〔第2の実施の形態〕図3は、図1の回路を用いて48次ハダマドコードを生成するための回路図である。この実施の形態においては、図2の12次Paleyコードを用いて48次ハダマドコードを生成するための回路について説明する。図3は、図1の12次Paleyコード生成回路に、2ビット計数器24をさらに附加して拡張した回路である。

【0038】6ビット基準計数器25は6ビットの基準計数器25も外部のリセットによって48状態を有し、クロック(CLOCK)と外部リセット信号(RESET)とを受けてREF C(5:0)を出力する。そして、6ビットレジスタ26は、レジスタに貯蔵されたインデックス[H(5:0)]とオールゼロ信号とを出力する。前記6ビット基準計数器25から出力されたREF C(5:0)出力と、6ビットレジスタ26から出力されたインデックス[H(5:2)]、及びグラウンドから入力される信号(2ビット)とを受け入れ、スタートリセット信号発生部150である比較器34で比較して、出力の値が同一である場合、リセット信号(STAR
T RESET)'1'を出力する。

【0039】そして、'0'値の強制割当部(160)としての比較器(35)は、前記6ビット基準計数器25から出力されたLEF C(5:2)とグラウンドから入力される信号(4ビット)とを比較して、やはり値の異なるときの出力信号'0'をD-フリップ・フロップ37を通じてゼロ値強制割当信号として出力する。このように出力されたゼロ値強制割当信号は、反転ゲート22に入力して反転した後、ANDゲート23に入力される。これによって、4ビット計数器21は2ビット計数器24のキャリー出力(carry-out)によって動作される。

【0040】6ビットの基準計数器25とインデックスレジスタ26との出力が同一になる視点で計数器がリセットされる。それから、4次ハダマドコード生成部170では、2ビット計数器24の出力C(1:0)と前記6ビットレジスタ26の出力H(1:0)とをANDゲート31, 32でそれぞれ論理積した後、その論理積された結果等をXORゲート33で排他的論理和を遂行して下位2ビットの4次ハダマドコード(HOUT L)を作る。そして、12次Paleyコード生成部180は、反転ゲート27、選択器28, 29, 論理和ゲート36とで構成される。このような構成に依拠して前記4ビット計数器21の出力C4の制御によって前記出力され

たC3、あるいは、反転ゲート27でC2が反転された信号を選択器(Mux;28)で選択する。前記D-フリップ・フロップ37から出力されたゼロ値強制割当信号と、前記6ビットレジスタ26から出力されたオールゼロ信号とが論理和ゲート36から論理和された結果によって、前記選択器28から出力された信号を選択する。これによって選択器28から12状態を有するPaleyコードを作る。

【0041】そして、48次ハダマドコード生成部190としての排他的論理和(XOR)ゲート30は、前記上位の12次Paley値と下位の4次ハダマド値とを排他的論理和して、最終的に48次ハダマドコードを作る。図4は、図3の48次ハダマドコードを生成する場合の信号波形を示した図面である。6ビットのインデックス[H(5:0)]の中、下位の2ビット[H(1:0)]によってインデックス1の4次ハダマドコード(HOUT L)が作られ、上位の4ビット[H(5:2)]のインデックスである5によって5回のインデックスPaleyコードが作られる。

【0042】〔第3の実施の形態〕図5は、48次及び64次とのハダマドコードを同時に生成する回路図である。図5を参照して、48次及び64次とのハダマドコードを同時に生成する回路に対して説明する。6ビット基準計数器55は、外部クロック(clock)とリセット信号とを受けてREF C(5:0)を出力し、6ビットレジスタ56は、レジスタに貯蔵されたインデックス[H(5:0)]とALL-ZERO信号とを出力する。

【0043】この時、外部の入力であるリセット信号は、モードのよってリセットの時点が異なる。48次である場合、48状態(stale)を持っており、64次である場合は64状態を持っている。スタートリセット信号発生部151は、選択器61と比較器62とで構成される。このような構成によって、前記出力された4ビットのインデックス[H(5:2)]、あるいは、グラウンドから4ビット信号のいずれか一つを外部から提供された選択(SEL)モード(MODE)の制御によって選択器61で選択するようになる。このようにその選択器61で選択された4ビット出力、及びグラウンドからの2ビット出力と前記6ビット基準計数器55の6ビット出力REF C(5:0)とを比較器によって比較して、出力の値が同一の場合、スタートリセット信号(STAR
T RESET)を外部のクロックと共に2ビット計数器54に入力する。

【0044】これによって2ビット計数器54では、下位の2ビットの出力(C1, C0)をし、さらにキャリーを出力する。そして、'0'値の強制割当部161は、比較器74とD-フリップ・フロップ75とで構成される。このような構成によって比較器74では前記出力された4ビットの出力LEF C(5:2)とグラウンドからの4ビット出力とを比較して、その値が同一である場合、D-フリップ・フロップ75を通じてゼロ値強制割当信号を出力する。この出力されたゼロ値強制割当信号と選択モード(MODE)信号とを否論理積(NAND)ゲート52で論理演算する。この論理

演算された結果と前記 2 ビット計数器 54 のキャリー出力 (carry-out) とを論理積ゲート 53 でさらに論理積する。即ち、2 ビット計数器 54 から出力されたキャリーによって 4 ビット計数器 51 は動作する。これによって、4 ビット計数器 51 は 4 ビットの出力 (C5:C2) をする。

【0045】48 次ハダマドコード (HOUT 48) は前記と同様に 12 次 Paley コード生成部 181 と 48 次ハダマドコード生成部 191 とで構成され、次のように生成する。即ち、前記 4 ビット計数器 51 の出力 C2 を反転ゲート 57 で反転し、この反転された信号とか前記 C3 を C4 信号によって選択器 (MUX) 58 で選択する。それから、前記出力されたゼロ値強制割当信号とオールゼロ信号とを OR ゲート 75 で論理和する。この論理和した結果によって前記選択器 58 の出力を選択器 59 で選択する。この選択器 59 から出力された上位の 12 次 Paley 値と下位の 4 次ハダマド値とを XOR ゲート 60 で排他的論理和して、最終的に 48 次ハダマドコード (HOUT 8) を生成する。

【0046】一方 64 次ハダマドコード (HOUT 64) は、4 次及び 64 次ハダマドコード生成部 171 で次のように生成する。即ち、前記 2 ビット計数器 54 の出力 (C1, C0) と 6 ビットレジスター 56 の出力 [H(1:0)] とをそれぞれ AND ゲート (68, 67) で論理積した後、XOR ゲート 71 で論理演算を遂行して 4 次ハダマドコード (HOUTL) を生成する。そして、前記 4 ビット計数器 51 の出力 (C5:C2) と 6 ビットレジスター 56 の出力 (H(5:2)) とを同様に AND ゲート 66, 65, 64, 63 で論理積した後、XOR ゲートの出力と、前記 4 次ハダマドコードとをさらに XOR ゲート 72 で排他的論理和を遂行する。結果的に、64 次ハダマドコード (HOUT 64) が製造される。

【0047】このように出力された 48 次ハダマドコード (HOUT 48)、及び 64 次ハダマドコード (HOUT 64) とは、選択モード (MODE) の信号に応じて選択器 73 で選択されて、最終のコード (HAD A CODE) を生成することになる。即ち、選択モード信号の制御によって選択器 73 では、'0' である場合、64 次のハダマドコードを生成し、'1' である場合は 48 次ハダマドコードを生成する。図 6 は、図 5 の回路を用いて 48 次及び 64 次のコードを同時に生成する場合の信号波形を示した図面である。48 次のコードは、上述のように 12 次 Paley コード及び 4 次ハダマドコード (HOUT L) とを排他的論理和して製造する。64 次コードの場合、6 ビット計数器の出力 (C5, C4, C3, C2, C1, C0) の中でインデックス [H(5:0)] によって C4, C2, C0 信号が選択され、この選択された値等を全部掛けて最終のコード (HOUT 64) を作る。

【0048】このようにハダマドコードを生成する回路構造は計数器の構造を有しているため、48 次ハダマドコードの生成回路を用いて 64 次ハダマドコード生成回路を容易に構成することができるのわかる。それに、上位ビット計数器を用いて 48 次ハダマドコードを掛けると、容易に拡張された 96 次コードを作ることができるし、それ以上の拡張コードも作ることができる。

【0049】下記の表 3 と表 4 とは上述の 48 次、64 次のハダマドコードを示している。表 3 において、彩られている部分は、12 次 Paley コードの '1' であり、白い部分は '0' である。この表から 12 次コードの内部には 4 次のハダマドコードが含まれていることがわかる。

【0050】

【表 3】

[illegible]

【表 4】

	0009 0123	0008 4567	0001 8901	1111 2345	1111 6789	2222 0123	3333 4567	2223 8901	3333 2345	3333 6789	4444 0123	4444 4567	4445 8901	5555 2345	5555 6789	6666 0123
0	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
1	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101	0101
2	0001	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011	0011
3	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110	0110
4	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111
5	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010
6	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100
7	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001
8	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111
9	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010
10	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100
11	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001
12	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000
13	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101
14	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011
15	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110
16	0000	0000	0000	0000	1111	1111	1111	0000	0000	0000	0000	0000	1111	1111	1111	0000
17	0101	0101	0101	0101	1010	1010	1010	0101	0101	0101	0101	0101	1010	1010	1010	0101
18	0011	0011	0011	0011	1100	1100	1100	0011	0011	0011	0011	0011	1100	1100	1100	0011
19	0110	0110	0110	0110	1001	1001	1001	0110	0110	0110	0110	0110	1001	1001	1001	0110
20	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111
21	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010
22	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100
23	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001
24	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111
25	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010
26	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100
27	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001
28	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000
29	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101
30	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011
31	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110
32	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
33	0101	0101	0101	0101	1010	1010	1010	0101	0101	0101	0101	0101	1010	1010	1010	0101
34	0011	0011	0011	0011	1100	1100	1100	0011	0011	0011	0011	0011	1100	1100	1100	0011
35	0110	0110	0110	0110	1001	1001	1001	0110	0110	0110	0110	0110	1001	1001	1001	0110
36	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111
37	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010
38	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100
39	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001
40	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111
41	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101
42	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011
43	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110
44	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000
45	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101
46	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011
47	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110
48	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
49	0101	0101	0101	0101	1010	1010	1010	0101	0101	0101	0101	0101	1010	1010	1010	0101
50	0011	0011	0011	0011	1100	1100	1100	0011	0011	0011	0011	0011	1100	1100	1100	0011
51	0110	0110	0110	0110	1001	1001	1001	0110	0110	0110	0110	0110	1001	1001	1001	0110
52	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111
53	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010
54	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100	0011	1100
55	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001	0110	1001
56	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111	0000	0000	1111	1111
57	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101	0101	1010	1010	0101
58	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011
59	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110
60	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111	0000	1111
61	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010	0101	1010
62	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011	0011	1100	1100	0011
63	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110	0110	1001	1001	0110

【 0 0 5 3 】 図 7 の よ う に、 6 ビ ャ ッ ト 計 数 器 8 6 で は 基 準
 キ ャ リー 出 力 (REF CARRY OUT) を さ ら に 出 力 す る。 こ の
 基 準 キ ャ リー 出 力 (REF CARRY OUT) に よ っ て 1 ビ ャ ッ ト 計
 数 器 (81) が 動 作 さ れ て、 出 力 C6 信 号 を 出 力 す る。 そ し
 て、 前 記 図 5 に お け る 6 ビ ャ ッ ト レジスタ-56 の 代 わ り に 40
 7 ビ ャ ッ ト レジスタ-87 を 用 い て そ の レジスタ に 貯 蔵 さ
 れ た イ ン デ ッ ク ス H(6:0) 出 力 す る。 前 記 1 ビ ャ ッ ト 計 数 器
 81 の 出 力 C6 信 号 と 前 記 7 ビ ャ ッ ト レジスタ (87) の 出 力 H
 (6) と を 論 理 積 (AND) ゲート (95) で 論 理 積 し て HOUT H
 信 号 を 出 力 す る。 モード 信 号 に よ っ て 選 択 器 (106) か ら
 選 択 さ れ た 64 次、 あ る い は 48 次 の 信 号 と 前 記 HOUT H 信 号
 と を XOR ゲート 107 で 排 他 的 論 理 和 し て 最 終 的 な コード
 (HADA CODE) を 作 る。 即 ち、 拡 張 さ れ た 96 次 及 び 128 次
 コード を 生 成 す る こ と に な る。 こ こ で、 48 次 の 場 合、 イ
 ン デ ッ ク ス H(5:2) の 値 は 最 大 11 ま で の 値 を 有 す る べ き で 50

【 0 0 5 4 】 かつ、96次及び128 次のハダマドコード生成部(200) は、論理積ゲート95と選択器(106) 、排他的論理和ゲート107 とで構成される。このような構成によって前記のコード生成部(200)は、96次の場合モード信号が' 1' を有し、H(6)値は1であるため、上位1ビット計数器81の出力信号(C6)と48次のハダマドコード(HOUT 48) は掛けられて、最終の69インデックスのハダマドコード (HOUACODE)を生成する。そして、128 次の場合、前記モード信号が' 0' を有し、上位1ビット計数器81の出力信号(C6) によって64次ハダマドコード (HOUT 64) が掛けられて、最終の85インデックスハダマドコード (HADA CODE)が生成される。 図8は、図7の拡張コード生成回路を用いて、96次のハダマドコードを生成する場合の動作の波形を示した図面である。

【発明の効果】前述のように、48次のハダマドコード生成回路は、簡単な計数器を用いて12次Paley コードを生成し、12次のPaley コードを用いて48次ハダマドコード及びより高い次元のハダマドコードを容易に生成できるということにその効果がある。さらに、このような回路は、64次コードの生成回路の構造と類似しているため、

48次及び64次とのハダマドコード生成回路を同時に具現することができる。

【図面の簡単な説明】

【図 1】 12次Paley コードを生成するための回路図である。

【図 2】 図 1 の回路を用いて12次Paley コードを生成する場合の信号波形を示した図面である。

【図 3】 図 1 の12次Paley コード生成回路を用いて48次ハダマドコードを生成するための回路図である。

【図 4】 図 3 の回路を用いて48次ハダマドコードを生成する場合の信号波形を示した図面である。

【図 5】 48次及び64次のハダマドコードを同時に生成するための回路図である。

【図 6】 図 5 の回路を用いて48次及び64次コードを同時に生成する場合の信号波形を示した図面である。

【図 7】 48次及び64次のハダマドコード生成回路を用いて拡張した96次及び128次コードを生成するための回路

図である。

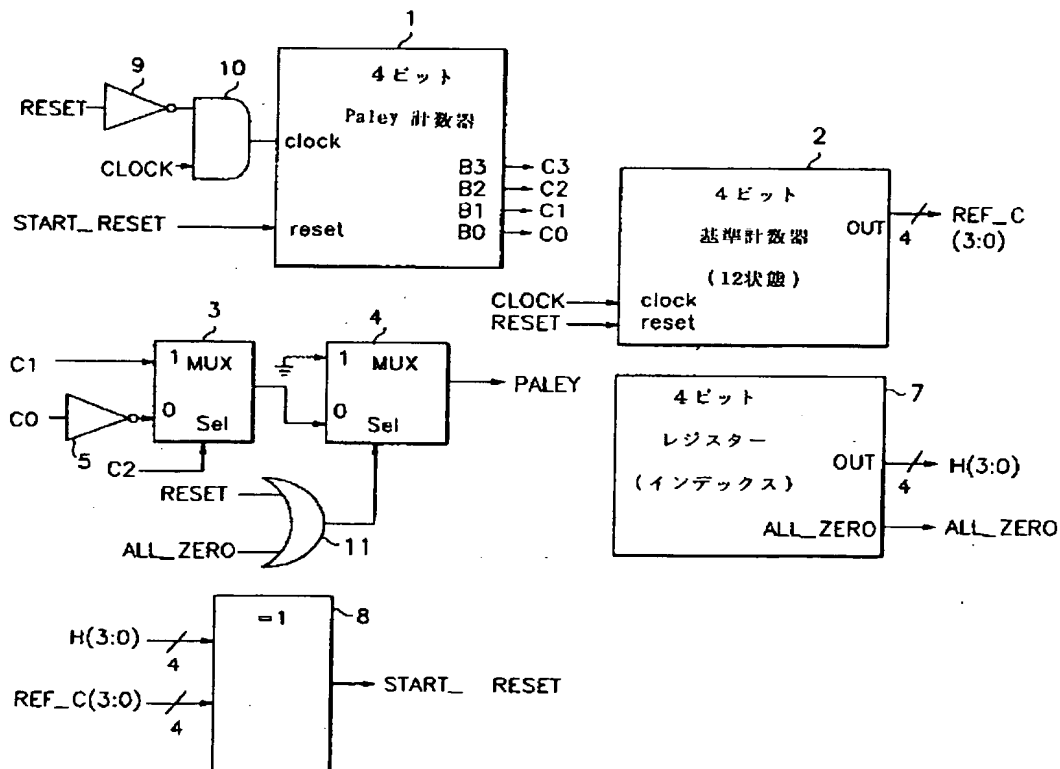
【図 8】 図 7 の回路を用いて96次及び128 次のハダマドコードを生成する場合の信号波形を示した図面である。

【図 9】 従来の4 次ハダマドコード及び64次ハダマドコードを生成するための回路図である。

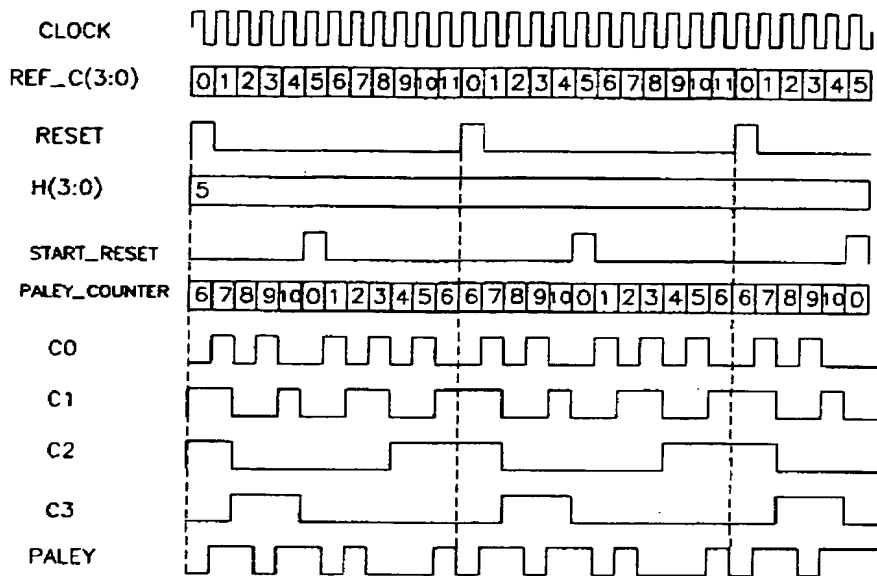
【符号の説明】

- | | | | |
|----------|-----------------|-----------|--------------|
| 1 | : 4ビットPaley 計数器 | 2 | : 4ビット基準カウンタ |
| 7 | : 4ビットレジスター | 21、51、82、 | : |
| 4 | ビット計数器 | | |
| 24、54、83 | : 2ビット計数器 | 25、55、86 | : 6ビット計数器 |
| 26 | : 6ビットレジスター | 56 | : 6ビットレジスター |
| 81 | : 1ビット計数器 | 87 | : 7ビットレジスター |

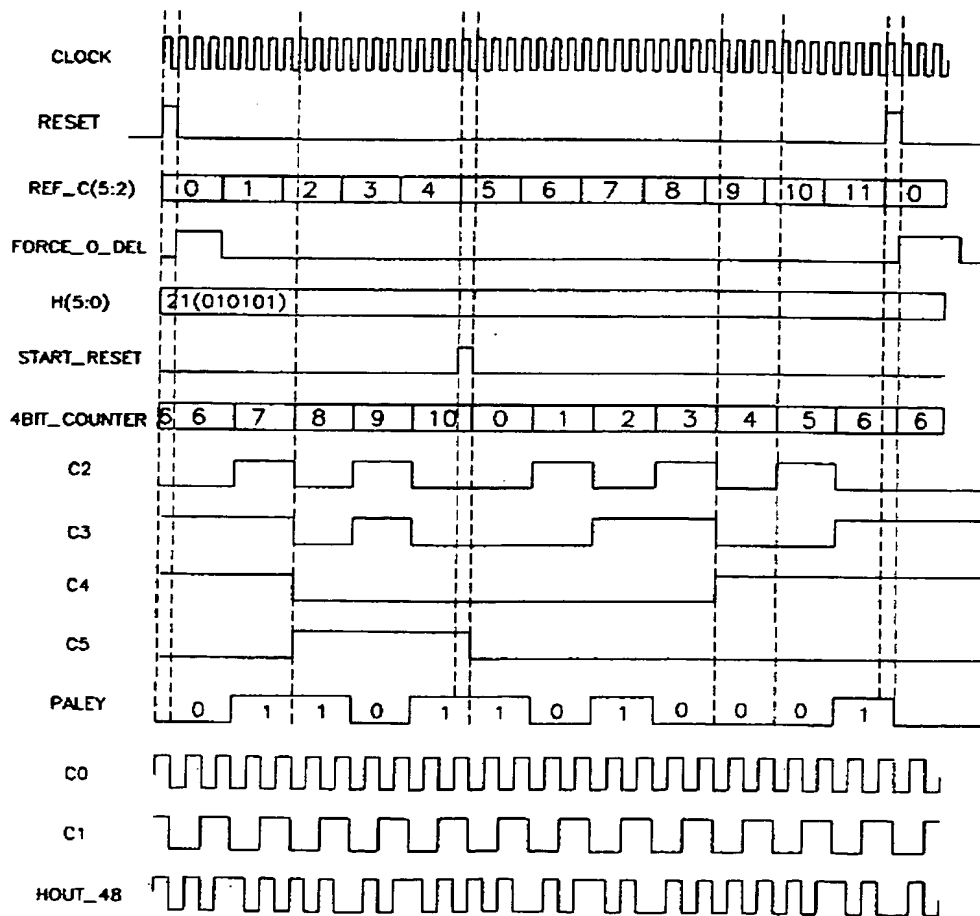
【図 1】



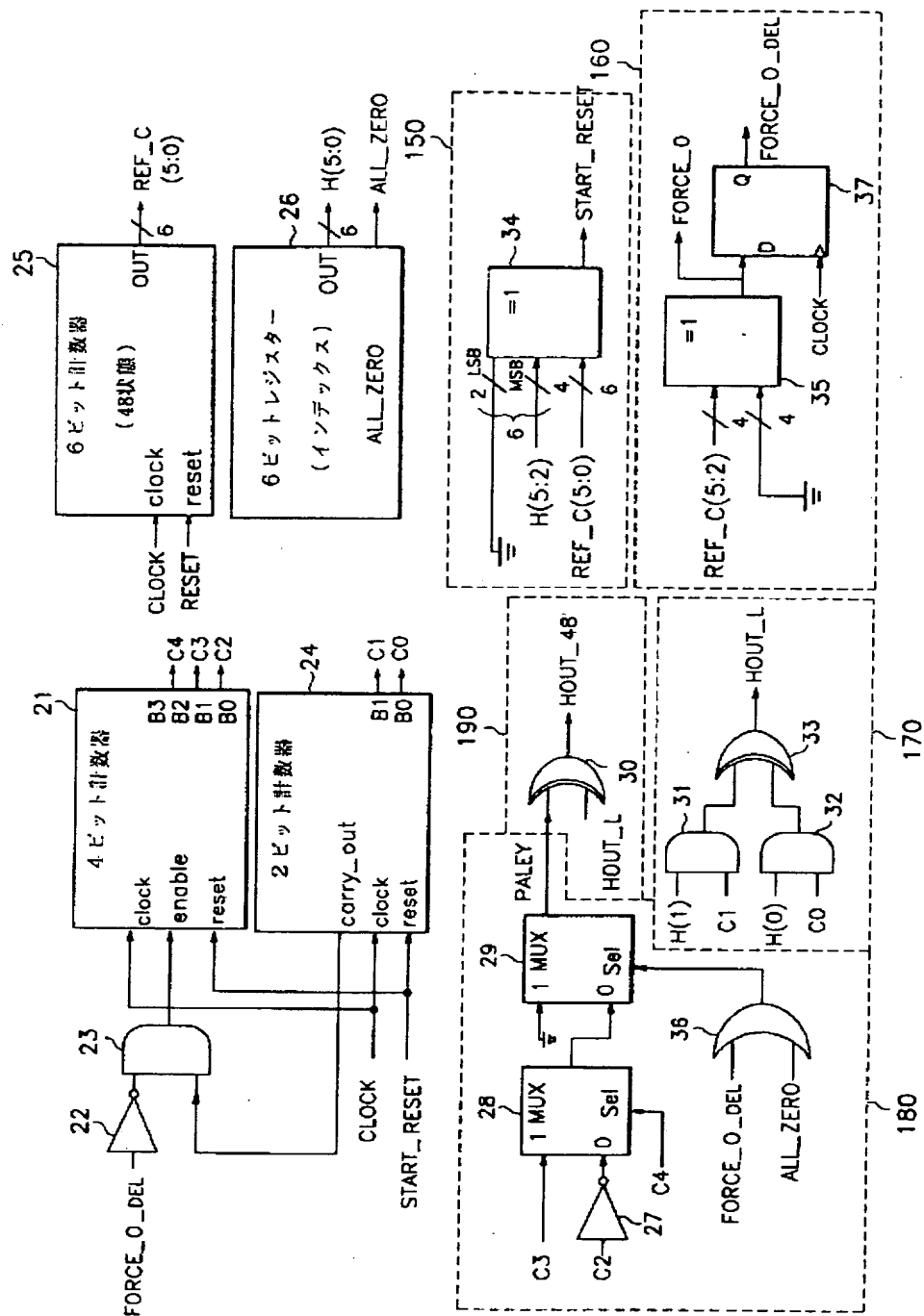
【図 2】



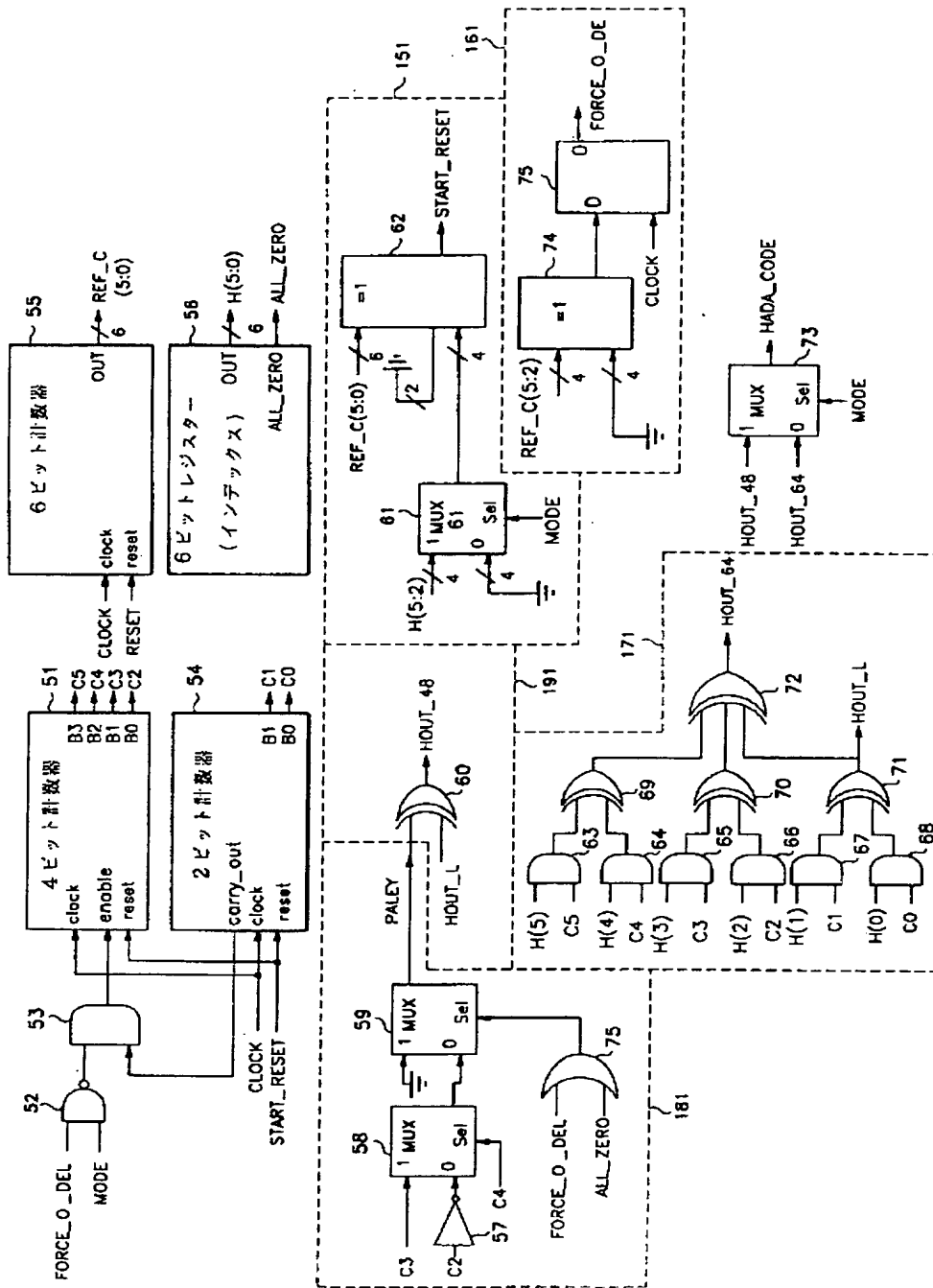
【図 4】



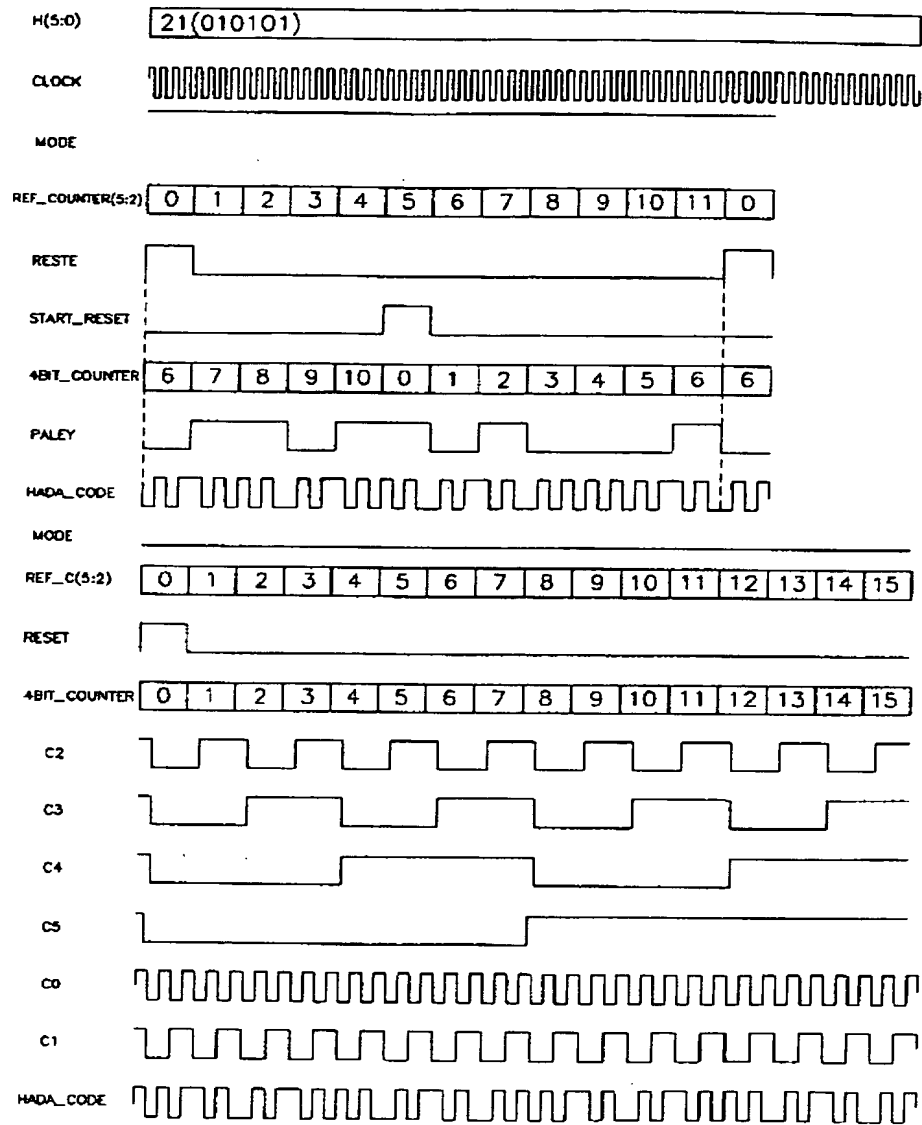
【図3】



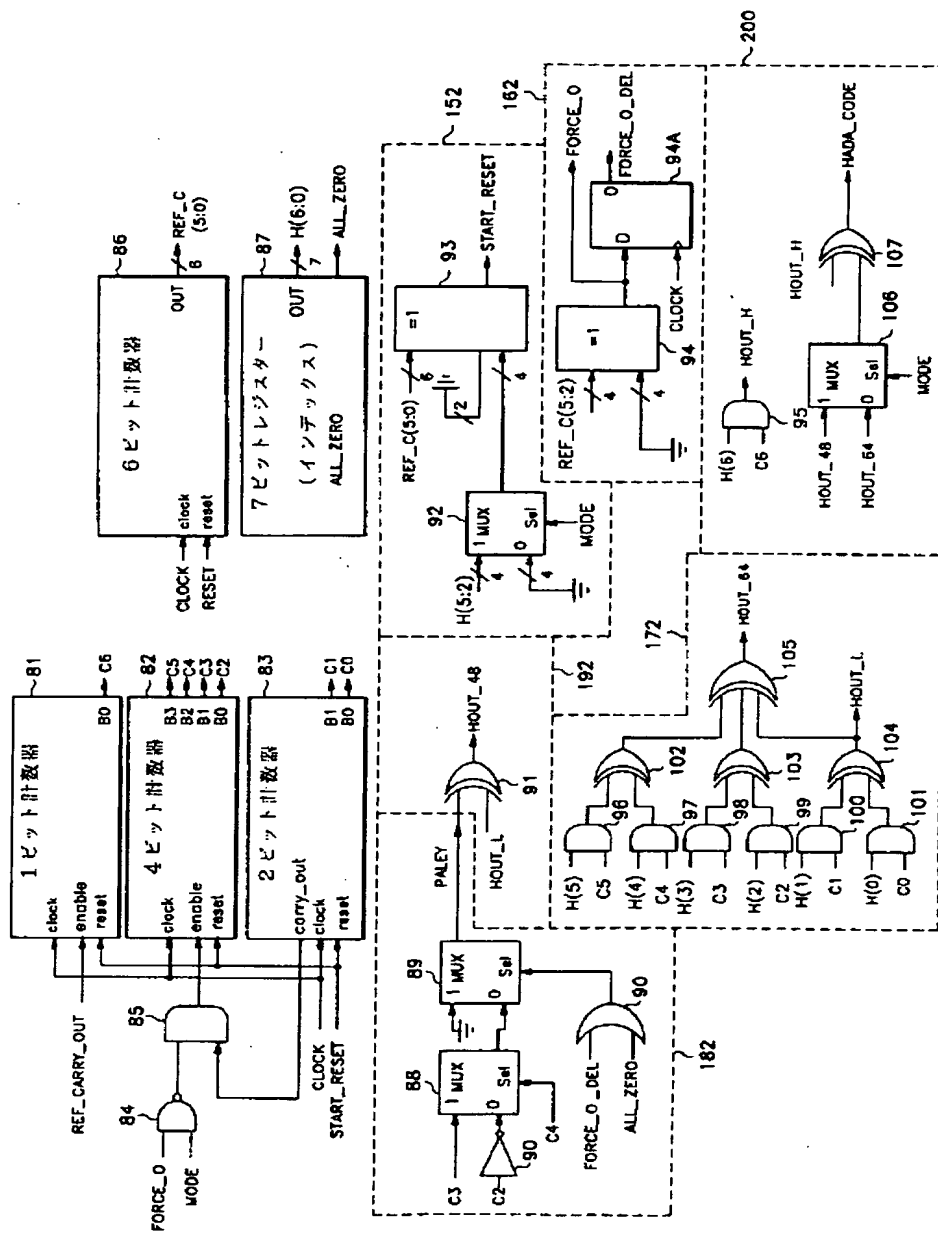
【図5】



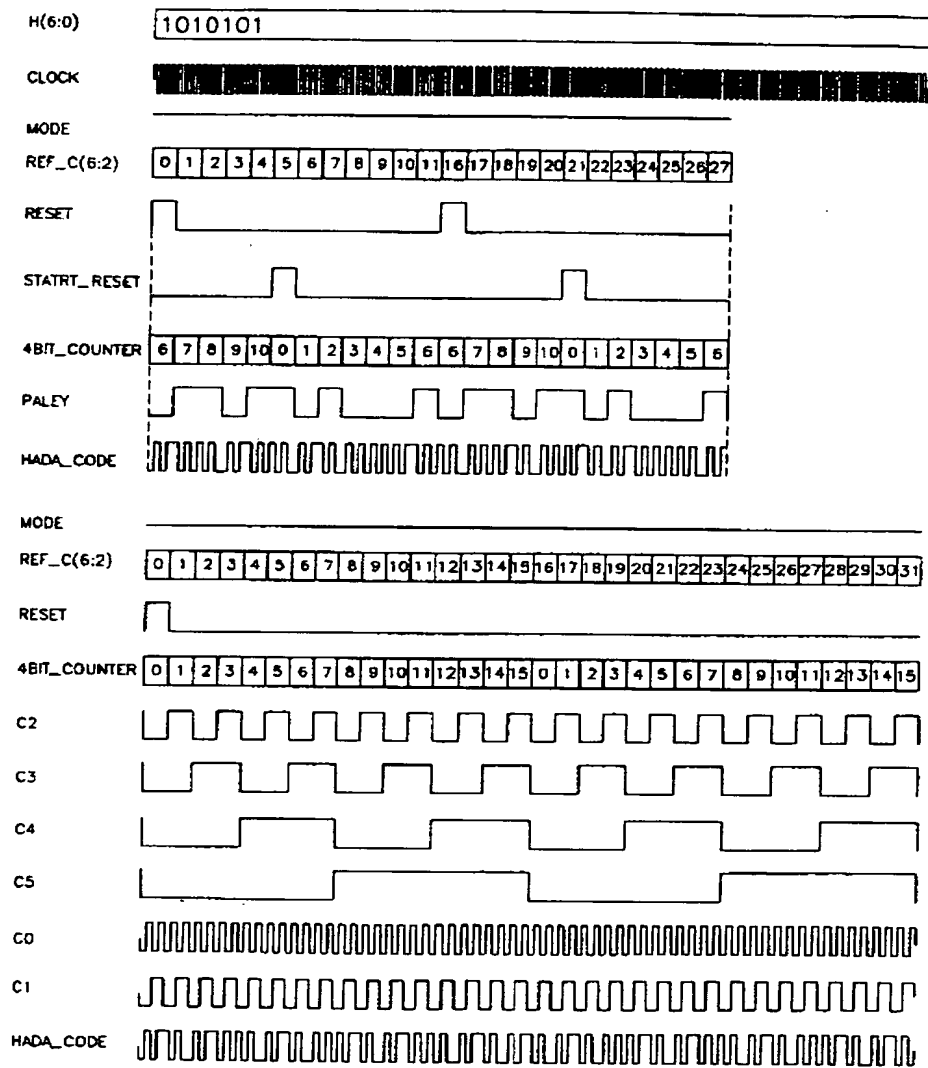
【図 6】



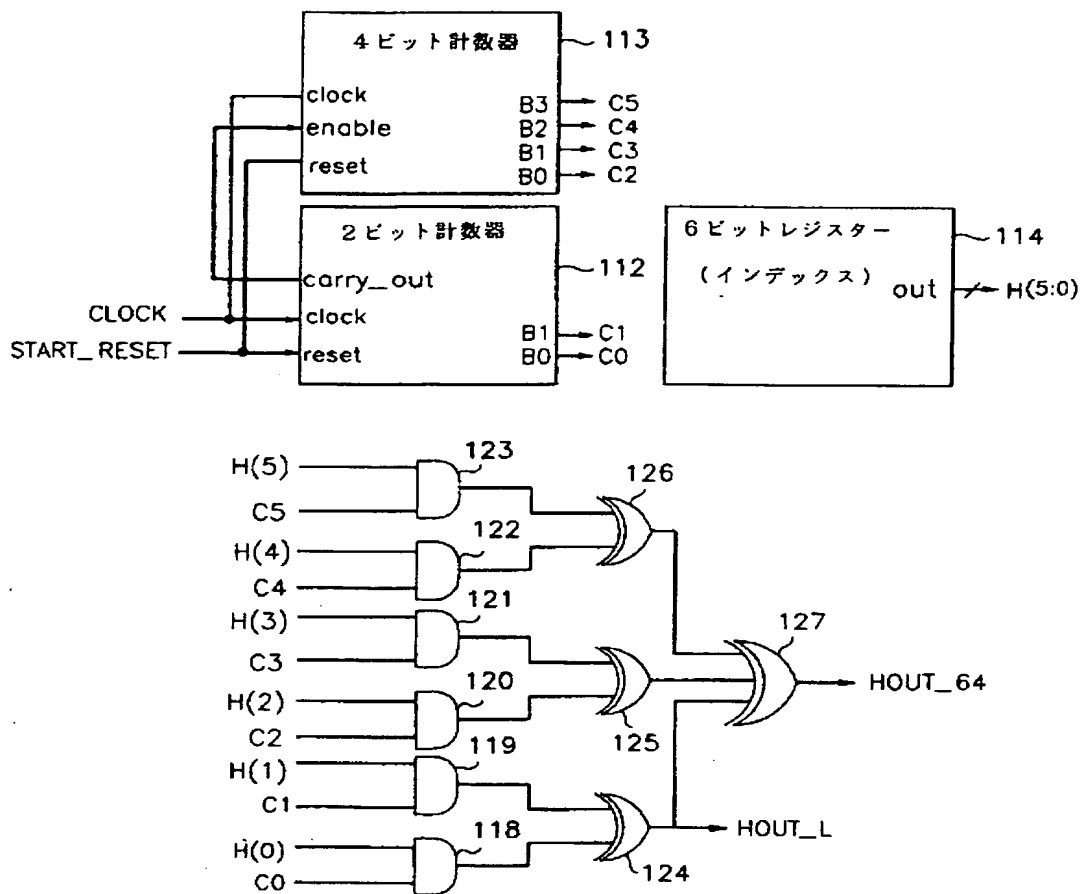
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 金 景 洙

大韓民国 大田廣域市 西區 屯散洞 モ

クレヨン アパート 305洞 706戸

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.